

Practitioner's Docket No.: 008312-0306244
Client Reference No.: T2HK-03S0074-1

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: YUTAKA
OKAMOTO, et al.

Confirmation No: UNKNOWN

Application No.:

Group No.:

Filed: October 6, 2003

Examiner: UNKNOWN

For: SIGNAL PROCESSING DEVICE UTILIZING PARTIAL RESPONSE
MAXIMUM LIKELIHOOD DETECTION

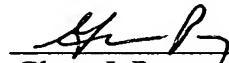
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

<u>Country</u>	<u>Application Number</u>	<u>Filing Date</u>
Japan	2002-303139	10/17/2002

Date: October 6, 2003
PILLSBURY WINTHROP LLP
P.O. Box 10500
McLean, VA 22102
Telephone: (703) 905-2000
Facsimile: (703) 905-2500
Customer Number: 00909



Glenn J. Perry
Registration No. 28458

03S0074-1

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年10月17日

出願番号

Application Number:

特願2002-303139

[ST.10/C]:

[JP2002-303139]

出願人

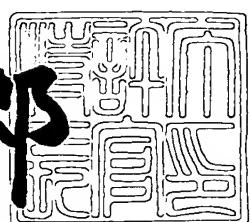
Applicant(s):

株式会社東芝

2003年 1月24日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3001335

【書類名】 特許願

【整理番号】 A000204250

【提出日】 平成14年10月17日

【あて先】 特許庁長官 殿

【国際特許分類】 G11B 20/10

【発明の名称】 P R M L 検出を適用する信号処理デバイス、同デバイスを備えたディスク記憶装置、及び同装置におけるファイドバック制御のための信号処理方法

【請求項の数】 11

【発明者】

【住所又は居所】 東京都青梅市末広町2丁目9番地 株式会社東芝青梅事業所内

【氏名】 岡本 豊

【発明者】

【住所又は居所】 東京都青梅市末広町2丁目9番地 株式会社東芝青梅事業所内

【氏名】 赤松 學

【発明者】

【住所又は居所】 東京都青梅市末広町2丁目9番地 株式会社東芝青梅事業所内

【氏名】 酒井 裕児

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 P R M L 検出を適用する信号処理デバイス、同デバイスを備えたディスク記憶装置、及び同装置におけるフィードバック制御のための信号処理方法

【特許請求の範囲】

【請求項1】 P R M L (Partial Response Maximum Likelihood) 検出を適用する信号処理デバイスにおいて、

P R (Partial Response) 等化後の波形データから反復復号により信号を検出する反復デコーダであって、軟判定値を出力する軟判定ビタビ検出器を含む多段接続された複数のデコーダユニットを備えた反復デコーダと、

前記複数のデコーダユニットのうち最終段以外の所定のデコーダユニットに含まれている前記軟判定ビタビ検出器の出力をもとに、所定の制御対象のフィードバック制御のための参照用波形データとして用いられる期待される再生波形データを発生する再生波形発生器と、

前記再生波形発生器により発生される再生波形データの信頼性の高低を示すフラグを、前記所定のデコーダユニットに含まれている前記軟判定ビタビ検出器の出力をもとに発生するフラグ発生器と、

前記再生波形発生器により発生される前記期待される再生波形データを前記参照用波形データとして、前記制御対象のフィードバック制御に必要な、前記P R 等化後の波形データの誤差量を算出する誤差量算出器と、

前記誤差量の出力を前記フラグ発生器により発生される前記フラグの状態に応じて制御する誤差量出力制御器と

を具備することを特徴とする信号処理デバイス。

【請求項2】 前記所定のデコーダユニットが初段のデコーダユニットであることを特徴とする請求項1記載の信号処理デバイス。

【請求項3】 前記フラグ発生器は、

前記所定のデコーダユニットに含まれている前記軟判定ビタビ検出器の出力を絶対値に変換する絶対値変換器と、

前記絶対値変換器の出力と予め定められた閾値とを比較して、前記絶対値変換

器の出力が前記閾値より大きいか否かを示す比較結果を出力する比較器とを含み、前記比較器の比較結果に応じて前記フラグを発生することを特徴とする請求項1記載の信号処理デバイス。

【請求項4】 前記フラグ発生器は、

前記比較器の出力を1クロックの期間ずつ順次遅延することにより、当該比較器の出力を1乃至n-1クロックの期間(nは、前記PR等化波形データの影響が及ぶ範囲のクロック数を示す)遅延して出力する遅延回路と、

前記フラグの状態を設定するフラグ設定器であって、前記比較器の出力及び前記遅延回路による前記1乃至n-1クロック期間の各遅延出力の少なくとも1つにより前記絶対値変換器の出力が前記閾値より小さいことが示されている場合に、前記フラグを前記再生波形発生器により発生される再生波形データの信頼性が低いことを示す状態に設定するフラグ設定器と

を含むことを特徴とする請求項3記載の信号処理デバイス。

【請求項5】 前記再生波形発生器は、前記所定のデコーダユニットに含まれている前記軟判定ビタビ検出器の出力を当該出力の正負に応じて2値化する硬判定器を含み、前記硬判定器の出力と予め定められたPR(Partial Response)波形データとの畳み込み積分により、前記期待される再生波形データを発生することを特徴とする請求項1記載の信号処理デバイス。

【請求項6】 前記誤差量出力制御器は、前記フラグ発生器により発生される前記フラグにより前記再生波形データの信頼性が低いことが示されている期間、出力する誤差量を前記誤差量算出器の算出結果より少ない値にすることを特徴とする請求項1記載の信号処理デバイス。

【請求項7】 前記誤差量出力制御器は、前記フラグ発生器により発生される前記フラグにより前記再生波形データの信頼性が低いことが示されている期間、出力する誤差量を前記誤差量算出器の算出結果に無関係に0にすることを特徴とする請求項1記載の信号処理デバイス。

【請求項8】 信号振幅、信号オフセット、信号波形の非対称性、タイミングリカバリ、及び波形等化特性のうちの少なくとも1つを前記所定の制御対象として、当該少なくとも1つに対応して、前記再生波形発生器、前記フラグ発生器

、前記誤差量算出器及び誤差量出力制御器の組が設けられており、当該少なくとも1つが、対応する前記フラグ発生器により発生されるフラグの状態に応じて前記誤差量出力制御器により出力される誤差量をもとにフィードバック制御することを特徴とする請求項6記載の信号処理デバイス。

【請求項9】 前記軟判定ビタビ検出器は、軟判定値として事後確率の対数比である対数尤度比を計算するソフトアウトプットビタビアルゴリズム(SOV A)を用いることを特徴とする請求項1記載の信号処理デバイス。

【請求項10】 請求項1乃至9のいずれか1つに記載の信号処理デバイスを備えたディスク記憶装置。

【請求項11】 PRML(Partial Response Maximum Likelihood)検出を適用するディスク記憶装置におけるフィードバック制御のための信号処理方法であって、

PR(Partial Response)等化後の波形データから反復復号により信号を検出する反復デコーダに含まれる複数のデコーダユニットのうち、最終段以外の所定のデコーダユニットに含まれている尤度情報としての軟判定値を出力する軟判定ビタビ検出器の出力をもとに、所定の制御対象のフィードバック制御のための参照用波形データとして用いられる期待される再生波形データ及び当該再生波形データの信頼性の高低を示すフラグを発生するステップと、

前記発生される期待される再生波形データを前記参照用波形データとして、前記制御対象のフィードバック制御に必要な、前記PR等化後の波形データの誤差量を算出するステップと、

前記誤差量の出力を前記発生されるフラグの状態に応じて制御するステップとを具備することを特徴とするフィードバック制御のための信号処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、記録媒体にディスクを用いたディスク記憶装置に係り、特に、反復デコーダ内の軟判定ビタビ検出器から出力される尤度情報としての軟判定値に基づくフィードバック制御に好適な、PRML(partial response maximum likelihood)

hood) 検出を適用する信号処理デバイス、同デバイスを備えたディスク記憶装置、及び同装置におけるフィードバック制御のための信号処理方法に関する。

【0002】

【従来の技術】

磁気ディスク装置（HDD）は、記録媒体にディスクを用いたディスク記憶装置として知られている。近年の磁気ディスク装置の信号処理デバイスでは、P R M L検出と呼ばれるデジタル信号処理が適用されている（例えば、特許文献1または2参照）。この特許文献1または2に記載の信号処理デバイスにおいて、書き込みデータは、チャネル記録符号であるR L L（run length limited）コードに符号化される。符号化されたデータは、記録波形のタイミングが補正された状態で、ディスクに記録される。

【0003】

ディスクに記録されたデータは、ヘッドにより読み出され、リードアンプ（プリアンプ）で増幅される。増幅されたアナログ信号（リード信号）はV G A（Variable Gain Amplifier）に入力される。V G Aは、リード信号の信号振幅を一定に保つように制御される。V G Aから出力されるリード信号は、アナログフィルタを介してA／Dコンバータに入力される。A／Dコンバータは、リード信号を、サンプリングクロック（再生クロック）に同期して、量子化された離散時間サンプル値系列に変換する。

【0004】

A／Dコンバータによって量子化された信号のサンプル値系列は、デジタルF I R（Finite Impulse Response）フィルタによってP R（Partial Response）等化の目標波形に等化される。このP R等化された波形は、ビタビ検出器により、バイナリデータ（2値化データ）として検出される。2値化されたデータは、デコーダ（チャネル符号デコーダ）により、ディスクに書き込まれた時点のデータに復号される。

【0005】

さて、信号処理デバイスでは、V G Aのゲイン、A／Dコンバータのサンプリングクロック（タイミングリカバリ）、更にはF I Rフィルタの適応制御等のた

めのフィードバック制御が行われる。このフィードバック制御については、上記特許文献1及び2だけでなく、例えば特許文献3にも記載されている。特許文献2に記載されたフィードバック制御では、FIRフィルタと等価なシステム（理想的なPRシステム）により、期待される（理想的な）PR波形が生成される。具体的には、ビタビ検出器の出力であるバイナリデータ（硬判定値）と、予め定められた応答波形（7, 4, -4, -5, -2）との畳み込み積分により、期待されるPR波形が生成される。この期待されるPR波形を参照用PR波形として、FIRフィルタの出力、つまり実際のPR波形（PR等化波形）と比較することで、フィードバック制御対象毎に誤差が検出される。そして、この制御対象毎に検出された誤差に基づいて当該制御対象がフィードバック制御される。

【0006】

一方、最近の磁気ディスク装置では、当該ディスク装置の高記録密度化に伴うS/N比の低下を補うために、ターボ符号（turbo coding）、反復復号（iterative decoding）を用いた信号処理が適用されるようになってきている（例えば、非特許文献1乃至3、または特許文献4を参照）。反復復号のためのデコーダ（復号器）は反復デコーダと呼ばれている。この反復デコーダに設けられるビタビ検出器は軟判定ビタビ検出器（内符号デコーダ）と呼ばれる。軟判定ビタビ検出器は、通常のビタビ検出器とは異なり、バイナリデータ（硬判定値）ではなくて、軟判定値（外符号）を出力する。この軟判定値は、バイナリデータを構成する個々のビットの信頼性を示す尤度情報である。軟判定ビタビ検出器の出力は、デインターリバを介して外符号デコーダに入力されて、再度デコードされる。反復デコーダでは、軟判定ビタビ検出器によるPR等化波形（内符号）のデコード（検出）と外符号デコーダによる外符号のデコードとを反復することにより、エラーレートの改善を図っている。反復デコーダでは、この反復後の軟判定値をしきい値検出することで硬判定値（バイナリデータ）を出力する。

【0007】

しかし、軟判定ビタビ検出器（内符号デコーダ）と外符号デコーダとの組による復号の反復は遅延量が多くなるため、高いスループットが要求されるディスク記憶装置では問題となる。そこで、ターボ符号、反復復号を適用する磁気ディス

ク装置では、非特許文献1及び特許文献4に記載されているように、パイプラインまたはカスケード構成の反復デコーダが適用される。

【0008】

また、非特許文献1及び3には、反復デコーダに適用されるビタビアルゴリズム（ビタビ検出器）として、SOVA（Soft Output Viterbi Algorithm（ソフトアウトプットビタビアルゴリズム））と呼ばれるビタビアルゴリズム（軟判定ビタビ検出器）が記載されている。このSOVAは、順方向の繰り返し（Forward Iteration）処理のみで、順方向の繰り返し毎の逆方向の繰り返し（Backward Iteration）処理は不要である。このため、SOVAは、近似計算の故に検出性能は劣るもの、大きなメモリ容量が不要で、遅延時間が短い。

【0009】

【特許文献1】

米国特許第5, 341, 249号明細書（第20欄、第28欄、図4）

【0010】

【特許文献2】

米国特許第6, 249, 398号明細書（第2欄、第6乃至第7欄、図2）

【0011】

【特許文献3】

特開2001-344903号公報（段落0047、図2）

【0012】

【特許文献4】

米国特許第6, 108, 388号明細書（第10乃至第11欄、図6及び図7）

【0013】

【非特許文献1】

J.Hagenauer, 外1名, "A Viterbi Algorithm with Soft-Decision Outputs and its Applications", Proc. of IEEE Globecom, 1989, p.1680-1686

【0014】

【非特許文献2】

P.Pakzad, 外2名, "VLSI Architectures for Iterative Decoders in Magnetic Recording Channels", IEEE Trans. Magn., Vol.37, No.2, March 2001, p.748-751 (特に図3)

【0015】

【非特許文献3】

井坂元彦、外1名、「Shannon 限界への道標：“parallel concatenated (Turbo) coding”, “Turbo (iterative) decoding”とその周辺」、信学技報、電子情報通信学会、1998年12月、IT98-51、p.7-11

【0016】

【発明が解決しようとする課題】

上記したように従来のディスク記憶装置では、VGAのゲイン、A/Dコンバータのサンプリングクロック、更にはFIRフィルタの適応制御等のためのフィードバック制御に必要な参照用のPR波形が、ビタビ検出器の出力であるバイナリデータ（硬判定値）をもとに生成される。

【0017】

一方、反復復号を適用するディスク記憶装置では、反復デコーダ（ターボデコーダ）内で、内符号デコーダとしての軟判定ビタビ検出器によるPR等化波形のデコード（検出）と外符号デコーダによるデコードとを反復することで、エラーレートの改善を図っている。

【0018】

したがって、反復復号を適用するディスク記憶装置において上述のフィードバック制御を行うには、参照用の波形データを作成するためのビタビ出力として、誤りの少ない反復後のビタビ出力、つまり反復デコーダの出力（硬判定値）を用いることが必要となる。しかし、反復デコーダの出力を用いることは、フィードバックの遅延が大きくなり過ぎるという問題がある。

【0019】

本発明は上記事情を考慮してなされたものでその目的は、エラーの頻度は高いものの遅延量が少ない反復前または反復途中のビタビ出力を使用することにより

、フィードバック遅延を抑え、しかも当該ビタビ出力をもとに生成される参照用の再生波形データの信頼性が低い場合でも、誤差量の誤検出を抑制して、十分なフィードバックループゲインが得られる、P R M L 検出を適用する信号処理デバイス、同デバイスを備えたディスク記憶装置、及び同装置におけるフィードバック制御のための信号処理方法を提供することにある。

【0020】

【課題を解決するための手段】

本発明の1つの観点によれば、P R M L 検出を適用する信号処理デバイスが提供される。この信号処理デバイスは、P R 等化後の波形データから反復復号により信号を検出する反復デコーダであって、軟判定値を出力する軟判定ビタビ検出器を含む多段接続された複数のデコーダユニットを備えた反復デコーダと、上記複数のデコーダユニットのうち最終段以外の所定のデコーダユニットに含まれている軟判定ビタビ検出器の出力をもとに、所定の制御対象のフィードバック制御のための参照用波形データとして用いられる期待される再生波形データを発生する再生波形発生器と、この再生波形発生器により発生される再生波形データの信頼性の高低を示すフラグを、上記所定のデコーダユニットに含まれている軟判定ビタビ検出器の出力をもとに発生するフラグ発生器と、上記再生波形発生器により発生される上記期待される再生波形データを上記参照用波形データとして、上記制御対象のフィードバック制御に必要な、上記P R 等化後の波形データの誤差量を算出する誤差量算出器と、上記誤差量の出力を上記フラグ発生器により発生されるフラグの状態に応じて制御する誤差量出力制御器とから構成される。

【0021】

このような構成において、再生波形発生器は、最終段以外のデコーダユニットに含まれている軟判定ビタビ検出器の出力をもとに、期待される（理想的な）再生波形データを発生する。この期待される再生波形データは、フィードバック制御のための誤差量、即ちP R 等化後の波形データの誤差量を算出するのに必要な参照用波形データとして用いられる。一方、フラグ発生器は、上記期待される再生波形データの信頼性の高低を示すフラグを発生する。誤差量算出器は、このフラグの状態に応じて、誤差量の出力を制御する。

【0022】

このように上記の構成においては、フィードバック制御のための誤差量の算出に必要な、期待される再生波形データ（参照用波形データ）の生成に、最終段以外のデコーダユニットに含まれている軟判定ビタビ検出器の出力、つまりエラーの頻度は高いものの遅延量が少ない軟判定ビタビ検出器の出力が利用される。これにより、反復復号を用いたディスク記憶装置の信号処理デバイスにおいても、フィードバックループの遅延量の増加を、バイナリデータ出力までの遅延量よりはるかに少ない、期待される再生波形データの生成に用いられる軟判定ビタビ検出器の出力までの遅延に抑え、フィードバックループ遅延の大幅な増加を避けることができる。ここで、最終段以外のデコーダユニットのうち、初段のデコーダユニットに含まれている軟判定ビタビ検出器を用いるならば、フィードバックループ遅延の増加を最小限に抑えることができる。

【0023】

また上記の構成においては、上記期待される再生波形データの信頼性の高低を示すフラグが発生されて、当該フラグの状態に応じて、フィードバック制御に用いられる誤差量の出力が制御される。これにより、エラーの頻度が高い軟判定ビタビ検出器の出力を用いながら、誤差量の誤検出が抑制されてフィードバック制御信号の品質が向上するため、フィードバック制御が安定し、十分なフィードバックループゲインを得ることができる。

【0024】

ここで、上記フラグ発生器に、上記所定のデコーダユニットに含まれている軟判定ビタビ検出器の出力を絶対値に変換する絶対値変換器と、この絶対値変換器の出力と予め定められた閾値とを比較して、当該絶対値変換器の出力が上記閾値より大きいか否かを示す比較結果を出力する比較器とを持たせ、この比較器の比較結果に応じて上記フラグを発生する構成とするとよい。

【0025】

更に、上記フラグ発生器に、上記比較器の出力を1クロックの期間ずつ順次遅延することにより、当該比較器の出力を1乃至n-1クロックの期間（nは、上記P R等化波形データの影響が及ぶ範囲のクロック数を示す）遅延して出力する

遅延回路と、上記フラグの状態を設定するフラグ設定器であって、上記比較器の出力及び上記遅延回路による 1 乃至 $n - 1$ クロック期間の各遅延出力の少なくとも 1 つにより上記絶対値変換器の出力が上記閾値より小さいことが示されている場合に、上記フラグを上記再生波形発生器により発生される再生波形データの信頼性が低いことを示す状態に設定するフラグ設定器とを持たせるとよい。

【0026】

また、上記再生波形発生器に、上記所定のデコーダユニットに含まれている軟判定ビタビ検出器の出力を当該出力の正負に応じて 2 値化する硬判定器を持たせ、当該硬判定器の出力と予め定められた PR 波形データとの畳み込み積分により、上記期待される再生波形データを発生する構成とするとよい。

【0027】

このようにすると、軟判定ビタビ検出器の出力を利用しても、期待される再生波形データの信頼性の高低を示すフラグを僅かな回路を追加するだけで発生できる。また、軟判定ビタビ検出器の出力を利用しても、期待される再生波形データを僅かな回路を追加するだけで発生できる。即ち、僅かな回路を追加するだけで、軟判定ビタビ検出器の出力をフィードバック制御に利用できる。

【0028】

また、上記誤差量出力制御器に、上記フラグ発生器により発生されるフラグにより上記再生波形データの信頼性が低いことが示されている期間、出力する誤差量を、0 または、誤差量算出器の算出結果より少ない値にする制御機能を持たせるならば、信頼性の低い再生波形データ（参照用波形データ）を使用しないようできることから、フィードバック制御信号の品質が一層向上し、フィードバック制御がより安定する。

【0029】

また、上記軟判定ビタビ検出器として、軟判定値として事後確率の対数比である対数尤度比を計算するソフトアウトプットビタビアルゴリズム（SOVA）を適用する軟判定ビタビ検出器を用いるならば、計算量の増加を抑えつつも対数尤度比の良好な近似値を出力させることができるので、軟出力デコーダを利用したフィードバック制御を行う信号処理デバイスの規模を、正確な対数尤度比を計算

するアルゴリズムに基づく軟出力デコーダを用いる場合に比べて小さくできる。

【0030】

なお、信号処理デバイスに係る本発明は、当該信号処理デバイスを備えたディスク記憶装置に係る発明、更には当該ディスク記憶装置におけるフィードバック制御のための信号処理方法に係る発明としても成立する。

【0031】

【発明の実施の形態】

以下、本発明を磁気ディスク装置に適用した実施の形態につき図面を参照して説明する。

図1は本発明の一実施形態に係る磁気ディスク装置（以下、HDDと称する）の構成を示すブロック図である。

【0032】

図1において、ディスク（磁気ディスク媒体）11は上側と下側の2つのディスク面を有している。ディスク11の2つのディスク面の少なくとも一方のディスク面、例えば両方のディスク面は、データが磁気記録される記録面をなしている。ディスク11の各記録面に対応してそれぞれヘッド（磁気ヘッド）12が配置されている。ヘッド12は、ディスク媒体11へのデータ書き込み（データ記録）及びディスク媒体11からのデータ読み出し（データ再生）に用いられる。なお、図1の構成では、單一枚のディスク11を備えたHDDを想定しているが、ディスク11が複数枚スタックされたHDDであっても構わない。

【0033】

ディスク11は図示せぬスピンドルモータにより高速に回転する。ヘッド12はヘッド移動機構としてのアクチュエータ（キャリッジ）13に取り付けられている。ヘッド12は、アクチュエータ13の回動に従ってディスク11の半径方向に移動される。これにより、ヘッド12は、目標トラック上に位置付けられる。

【0034】

ヘッド12はヘッドアンプ回路を構成するヘッドIC（Integrated Circuit）16と接続されている。ヘッドIC14はヘッド12により読み出されたリード

信号を増幅するリードアンプ（図示せず）、及びライトデータをライト電流に変換するライトアンプ（図示せず）を有する。ヘッドIC14は、リード／ライトIC（リード／ライトチャネル）20と接続されている。リード／ライトIC20は、リード信号に対するA／D（アナログ／デジタル）変換処理、ライトデータの符号化処理及びリードデータの復号化処理等の各種の信号処理を実行する信号処理デバイスである。

【0035】

リード／ライトIC20は、ライトチャネル30とリードチャネル40とから構成される1チップのICである。ライトチャネル30は、RLL符号エンコーダ（符号化器）31、外符号エンコーダ32、インターリーバ33、書き込み補償器34、及びライトドライバ35を備えている。RLL符号エンコーダ31は、書き込みデータが転送される信号線15に接続されている。一方、リードチャネル40は、VGA（Variable Gain Amplifier）41、アナログフィルタ42、オフセット補正器43、A／D（アナログ／デジタル）コンバータ（ADC）44、適応等化器45、反復デコーダ46、AGC制御器47、オフセット制御器48、及びタイミングリカバリ回路49を備えている。

【0036】

適応等化器45は、デジタルFIR（Finite Impulse Response）フィルタ451とTAP係数制御器452とから構成される。

【0037】

反復デコーダ46は、パイプライン（カスケード）接続された複数台、例えば3台のデコーダユニット460-1, 460-2, 460-3と、最終段のデコーダユニット460-3の出力に接続されたRLL符号デコーダ465とから構成される。デコーダユニット460-1, 460-2は、それぞれ、軟判定ビタビ検出器461-1, 461-2と、デインターリーバ462-1, 462-2と、外符号デコーダ463-1, 463-2と、インターリーバ464-1, 464-2とから構成される。一方、デコーダユニット460-3は、軟判定ビタビ検出器461-3と、デインターリーバ462-3と、外符号デコーダ463-3とから構成される。

【0038】

図1のHDDにおいて、当該HDDを利用するパーソナルコンピュータ等のホストから転送される書き込みデータは、信号線25を介してライトチャネル30に入力される。この書き込みデータは、ライトチャネル30内のRLL符号エンコーダ31により、チャネル記録符号であるRLL (Run Length Limited)コードに符号化される。符号化されたデータは、更に外符号エンコーダ32により符号化された後、インターリーバ33によって並べ替えられる。符号に含まれる1の数は重みと呼ばれる。インターリーバ33は、入力データである符号化されたデータ（入力符号系列）の並び替えにより、当該入力符号系列より大きな重みを持つ符号系列、つまり小さな重みの符号語数が少ない符号系列を出力する。書き込み補償器34は、インターリーバ33から出力される符号系列を対象に、記録波形のタイミングの補正を行う。このタイミング補正後の符号系列は、書き込みデータとして、ライトドライバ34によりヘッドIC13に出力される。ヘッドIC13（内のライトアンプ）は、ライトドライバ34から出力される書き込みデータをライト電流に変換してヘッド12に出力する。これにより、ライト電流に対応する符号化されたデータがヘッド12によりディスク11に書き込まれる。

【0039】

一方、ディスク11に書き込まれたデータは、ヘッド12により読み出され、ヘッドIC13により増幅される。増幅されたアナログ信号（リード信号）は、リードチャネル40内のVGA41に入力される。VGA41は、読み出し位置の内外周差、ヘッド12の浮上量変動、及び書き込み条件の変動等に起因する、リード信号の振幅値の変動を抑えて、信号振幅を一定に保つように、AGC制御器47によりフィードバック制御される。

【0040】

VGAから出力されるリード信号は、アナログフィルタ42に入力される。アナログフィルタ42は、リード信号をA/Dコンバータ44で量子化する前の処理に用いられる。アナログフィルタ42は、リード信号のノイズ帯域を制限し、且つ量子化歪を抑圧するためのローパスフィルタである。アナログフィルタ42から出力されるリード信号はオフセット補正器43に入力される。オフセット補

正器43に入力される信号は、一般にオフセットを持ち、ゼロレベル（中心レベル）がずれている。このオフセットの要因には、リード信号の低域成分が抑圧されることによるベースラインのシフト、或いはヘッドIC14、VGA41、アナログフィルタ42、オフセット補正器43及びA/Dコンバータ44等の回路自体のゼロレベルのずれ等がある。オフセット補正器43は、オフセット制御器48のフィードバック制御により、入力信号のゼロレベルを補正する。

【0041】

オフセット補正器43から出力される信号はA/Dコンバータ44に入力される。A/Dコンバータ44は、入力信号（リード信号）を、タイミングリカバリ回路49から供給されるサンプリングクロック（再生クロック）ADC_CLKに同期して、量子化された離散時間サンプル値系列に変換する。この信号のサンプリング（量子化）に用いられるサンプリングクロックADC_CLKは、ディスク11に書き込まれたデータのクロック（チャネルクロック）に、タイミングリカバリ回路49によって同期化されている。

【0042】

A/Dコンバータ44によって量子化されたリード信号のサンプル値系列は、適応等化器45内のデジタルFIRフィルタ451によってPR(Partial Response)等化の目標波形に等化される。FIRフィルタ451は、適応等化方式を適用しており、TAP係数制御器452のフィードバック制御により、波形の特性に応じてダイナミックにタップ係数を更新することが可能である。

【0043】

FIRフィルタ451によりPR等化された波形は、反復デコーダ46に入力される。反復デコーダ46は、FIRフィルタ451の出力を以下に述べるように反復復号して、ディスク11に書き込まれた時点のデータに復号する。

【0044】

まず、FIRフィルタ451によりPR等化された波形は、反復デコーダ46内の初段のデコーダユニット460-1に設けられた軟判定ビタビ検出器461-1に入力される。軟判定ビタビ検出器461-1は、最大事後確率復号を適用することにより、入力PR等化波形（=内符号）から、目的とする情報系列（バイナリ

データ) の個々のシンボル (ビット) に関し、事後確率の対数比である対数尤度比を計算して軟判定値として出力する。この軟判定値は、対応するシンボル (ビット) の信頼性を示す尤度情報である。

【0045】

以下、軟判定ビタビ検出器461-1による軟判定値出力について、反復復号を適用しないビタビ検出器（以下、硬判定ビタビ検出器と称する）による硬判定値出力と比較して説明する。

【0046】

まず、

符号化レート K/N

情報系列 $uk = (u_1, u_2, \dots, u_k, \dots, u_K) : uk = \{+1, -1\}$

符号化系列 $xk = (x_1, x_2, \dots, x_k, \dots, x_N) : xk = \{+1, -1\}$

受信系列 $yk = (y_1, y_2, \dots, y_N)$

とする。

【0047】

ここで、 $P(y|x_j)$ (j は $1 \leq j \leq 2K$ を満足する整数) が最大となる u を情報系列として推定する復号方式は、最尤復号と呼ばれる。この最尤復号は、ブロック誤り確率を最小化することから、最適な復号法である。硬判定ビタビ検出器は、最尤復号（最尤判定）にビタビアルゴリズムを用いた最尤デコーダ（ビタビデコーダ）である。この硬判定ビタビ検出器の出力は $u = \{+1, -1\}$ となり、バイナリである。

【0048】

これに対して、反復復号に使用される軟判定ビタビ検出器461-1は、シンボル誤り率を最小とする最大事後確率復号法を適用する。最大事後確率復号法では、各情報シンボル uk (k は $1 \leq k \leq K$ を満足する整数) について $P(uk|y)$ を最大にする uk が復号結果として出力される。そのために、軟判定ビタビ検出器461-1は、事後確率 $P(uk|y)$ の対数尤度比

$$L(uk|y) = \ln \{P(uk=+1|y) / P(uk=-1|y)\}$$

を計算する。

【0049】

軟判定ビタビ検出器461-1は、 $L(uk|y) > 0$ ならば $uk = +1$, $L(uk|y) < 0$ ならば $uk = -1$ と、 uk を推定する。 $L(uk|y) = 0$ は、どちらと判定しても同じ確率になる。即ち、信頼性が最も低い。

【0050】

このように、軟判定ビタビ検出器461-1は、最大事後確率復号における対数尤度比の計算に近似式を用いており、復号判定値だけでなく、近似された対数尤度比を軟出力値（信頼性を示す軟判定値）として出力する。この軟判定ビタビ検出器461-1は、軟出力値（対数尤度比）を算出するアルゴリズムに、先に挙げた非特許文献1に記載されているSOVA (Soft Output Viterbi Algorithm) と呼ばれるビタビアルゴリズムを適用している。デコーダユニット460-2, 460-3内の軟判定ビタビ検出器461-2, 461-3においても、上述のデコーダユニット460-1内の軟判定ビタビ検出器461-1と同様の動作が行われる。

【0051】

さて、デコーダユニット460-1において、軟判定ビタビ検出器461-1の出力（軟判定値）は、ライトチャネル30側でインタリーブされた符号を元に戻すためのデインタリーバ462-1を介して外符号デコーダ463-1に入力される。外符号デコーダ463-1は軟入力軟出力デコーダである。本実施形態において外符号デコーダ463-1は、軟判定ビタビ検出器461-1と同様の構成の軟判定ビタビ検出器で構成されている。しかし、外符号デコーダ463-1に、軟判定ビタビ検出器とは別の構成の軟入力軟出力デコーダを適用すること也可能である。

【0052】

反復デコーダ46における反復復号では、復号複雑度が高く長い符号を、複雑度の小さい内符号デコーダとしての軟判定ビタビ検出器461-i ($i=1 \sim 3$) と外符号デコーダ463-iとで分解して復号する。この軟判定ビタビ検出器461-iによる復号と外符号デコーダ463-iによる復号との繰り返しによる相互作用によって、誤り特性を逐次的に向上させることが可能である。

【0053】

デコーダユニット460-1内の外符号デコーダ463-1の出力は、インターリーバ464-1を介して、次段のデコーダユニット460-2に入力され、当該デコーダユニット460-2内で再び復号処理される。同様に、デコーダユニット460-2の出力は、最終段のデコーダユニット460-3に入力され、当該デコーダユニット460-3内で復号処理される。このように、反復デコーダ46内のデコーダユニット460-1～460-3で復号の反復を重ねることにより、エラーレートが改善される。デコーダユニット460-3の出力は、RLL符号化されたバイナリデータであり、反復復号の最終硬判定値である。デコーダユニット460-3の出力はRLL符号デコーダ465に入力される。RLL符号デコーダ465は、デコーダユニット460-3の出力であるRLL符号化されたバイナリデータ（反復復号の最終硬判定値）から、ディスク11に書き込まれた時点のバイナリデータ、つまり書き込みデータに対応するバイナリデータを復号する。

【0054】

VGA41のゲイン（によって可変される信号振幅）、オフセット補正器43による補正（の対象となる信号オフセット）、A/Dコンバータ44で用いられるサンプリングクロックADC_CLKのタイミングリカバリ、及びFIRフィルタ451の等化特性は、それぞれ、AGC制御器47、オフセット制御器48、タイミングリカバリ回路49、及びTAP係数制御器452によりフィードバック制御される。このフィードバック制御には、反復デコーダ46内で生成される軟判定値が用いられる。AGC制御器47、オフセット制御器48、タイミングリカバリ回路49、及びTAP係数制御器452は、それぞれ、上記軟判定値をもとに期待されるPR波形（参照用PR波形）を生成する後述するPR波形発生器400を含む。

【0055】

本実施形態では、上記フィードバック制御に用いられる軟判定値として、反復デコーダ46内の初段のデコーダユニット460-1に設けられた軟判定ビタビ検出器461-1の出力、つまり反復前のビタビ出力が利用される。なお、フィードバック制御に用いられる軟判定値として、デコーダユニット460-1以外のデコーダユニット、例えばデコーダユニット460-2に設けられた軟判定ビタビ検出

器461-2の出力、つまり反復途中のビタビ出力を利用することも可能である。但し、最終段のデコーダユニット460-3内の軟判定ビタビ検出器461-3の出力の遅延量は、反復デコーダ46の出力と同程度であり多いことから、フィードバック制御には不向きである。明らかなように、デコーダユニット460-1～460-3内の各軟判定ビタビ検出器461-1～461-3のうち、遅延が最小の軟判定ビタビ検出器461-1の出力をを利用する場合、フィードバック制御の応答が最も速くなる。このように本実施形態では、反復デコーダ46から出力される硬判定値（バイナリデータ）ではなくて、当該反復デコーダ46内で生成される軟判定値をもとに、フィードバック制御されることに注意されたい。

【0056】

図2はディスク11に記録されるセクタデータのフォーマットの概略を示す。図2に示すように、1セクタのデータは、プリアンブル111、同期マーク（SYNC Mark）112、データバイト113及びポストアンブル114とから構成される。

【0057】

図3はプリアンブル（プリアンブルパターン）111の一例を示す。図3に示されるプリアンブル111は、フィードバックループを高速に収束させるための單一周波数のパターンである。

【0058】

同期マーク112は、プリアンブル111でビット同期の取れたデータのバイト同期を取るためのパターンである。データバイト113は、符号化（チャネル符号化）されたデータである。

【0059】

さて、プリアンブル111は、一般にリード信号の高速引き込みに用いられる。このプリアンブル111は、図3に示したように單一周波数であることから、等化の必要がない。そこでプリアンブル111は、応答特性を高めるために、A/Dコンバータ44の出力から取り込まれて、フィードバックのための誤差量の検出に用いられる。

【0060】

プリアンブル111は、チャネルクロック（データクロック）に同期してサンプリングされた状態では、図3において○印で示されるように、周期的に一定の値（例えば、+1、+1、-1、-1、+1、+1…）を取る。したがって、A/Dコンバータ44の出力から取り込まれるプリアンブルパターンを用いることで、フィードバックのための誤差を検出するための参照値を別に入力する必要がない。

【0061】

これに対し、データバイト113、つまりチャネル符号化されたデータの部分の波形には規則性がない。したがって、この部分の波形から誤差を検出するには、比較のための参照値が必要になる。

【0062】

図4はAGC制御器47の構成を示すブロック図である。同図に示すように、AGC制御器47は、誤差（ゲインエラー）検出器471及び472と、アンプ（G）473及び474と、マルチプレクサ（MUX）475と、積分器476と、D/Aコンバータ（DAC）477とから構成される。誤差検出器471は、プリアンブルパターンから、当該プリアンブルパターンの周期性を利用して振幅値の誤差を検出する。誤差検出器472は、チャネル符号化されたデータの部分から振幅値の誤差を検出する。ここでは誤差検出器472は、FIRフィルタ451の出力であるPR等化された再生信号波形と反復デコーダ46内の初段のデコーダユニット460-1に設けられた軟判定ビタビ検出器461-1の出力である軟判定値とをもとに、振幅値の誤差を検出する。誤差検出器471、472の出力（誤差信号）は、アンプ473、474を介してマルチプレクサ475に入力される。マルチプレクサ475は、プリアンブルパターンを使用して高速に引き込みを行う引き込みモードがモード信号Mにより指定されている場合には、アンプ473を介して入力される誤差検出器471からの誤差信号を選択する。またマルチプレクサ475は、チャネル符号化されたデータの部分の信号に追従させるトラッキングモードがモード信号Mにより指定されている場合には、アンプ474を介して入力される誤差検出器472からの誤差信号を選択する。マルチプレクサ475により選択された誤差信号は、積分器476及びD/Aコンバ

タ477を介してVGA41に供給され、当該VGA41のゲインをフィードバック制御するのに用いられる。

【0063】

図5は図4のAGC制御器47内の誤差検出器472の構成を示すブロック図である。同図に示すように、誤差検出器472は、PR波形発生器400と、遅延回路472aと、加算器472bと、正負判定器472cと、乗算器472dとから構成される。PR波形発生器400は、デコーダユニット460-1内の軟判定ビタビ検出器461-1の出力をもとに、理想的な（期待される）PR等化波形を生成する。またPR波形発生器400は、理想的なPR等化波形の信頼性の高低を示す“1”または“0”的フラグ（信頼性フラグ）Fも生成する。PR波形発生器400は、AGC制御器47内の誤差検出器472の他に、後述するように、オフセット制御器48内の誤差検出器482（図9参照）、タイミングリカバリ回路49内のトラッキングモード用位相比較器492（図11参照）、及びTAP係数制御器452内の誤差検出器453（図13参照）にも設けられる。

【0064】

遅延回路472aは、FIRフィルタ451の出力を、当該FIRフィルタ451の出力からデコーダユニット460-1内の軟判定ビタビ検出器461-1の出力までの遅延量だけ遅延する。これにより、遅延回路472aにより遅延されたFIRフィルタ451の出力（PR等化波形）の遅延量が、PR波形発生器400により生成される理想的なPR等化波形の遅延量に合わせられる。

【0065】

加算器472bは、正側入力（+）と負側入力（-）とを有する。加算器472bの正側入力にはPR波形発生器400の出力波形が入力され、加算器472bの負側入力には遅延回路472aの出力波形が入力される。加算器472bは、PR波形発生器400の出力波形と遅延回路472aの出力波形の正負を反転した波形とを加算する。明らかのように、加算器472bの出力は、軟判定ビタビ検出器461-1の出力をもとに生成される理想的なPR等化波形とFIRフィルタ451の出力である実際のPR等化波形の各々の振幅の比較結果（振幅値の

誤差)を表す。

【0066】

PR波形発生器400の出力波形は正負判定器472cにも入力される。正負判定器472cは、PR波形発生器400の出力波形の正負を判定し、正であれば+1を、負であれば-1を、正負のいずれでもなければ、つまり0であれば0を出力する。加算器472bの出力と正負判定器472cの出力とPR波形発生器400から出力される信頼性フラグFとは乗算器472dに入力される。乗算器472dは、加算器472bの出力と正負判定器472cの出力とPR波形発生器400からの信頼性フラグFとの積を計算することにより、規則性がないチャネル符号化されたデータの部分から振幅値の誤差を算出する。ここで、信頼性フラグFが0の期間に、PR波形発生器400から出力されるPR波形の信頼性は低い。そこで本実施形態では、上述のように、乗算器472dにて、加算器472bの出力と正負判定器472cの出力と信頼性フラグFとの積を取る。すると、誤差検出器472の出力(誤差検出値)として用いられる乗算器472dの出力を、信頼性フラグFが“0”的期間、加算器472bの出力の示す誤差に無関係に0にすることができる。このように、乗算器472dは、信頼性の低い誤差検出値が出力されてフィードバック制御に用いられるのを防止する誤差量出力制御器としても機能する。このことは、後述する乗算器482d, 492d, 453dについても同様である。

【0067】

図6は、PR波形発生器400の構成を示すブロック図である。図6のPR波形発生器400において、デコーダユニット460-1内の軟判定ビタビ検出器461-1の出力である軟判定値は、比較器601に入力される。比較器601は、軟判定値を0と比較することにより、当該軟判定値が0を超えているか否か、つまり正負を判定する。この判定は、軟判定値を硬判定しているのと等価である。比較器601は、軟判定値が0を超えている場合には“1”を、そうでない場合には“0”を出力する硬判定器である。

【0068】

比較器601の出力(“1”または“0”的バイナリデータ)は、カスケード

接続された複数の遅延素子、例えば3つの遅延素子602, 603, 604のうちの初段の遅延素子602に入力される。本実施形態において、PRは(a, b, c, d)であり、拘束長n、つまり影響が及ぶクロックの範囲nは4である。この場合、比較器601の出力が入力される遅延素子を含む、カスケード接続される遅延素子の数は、上述のように $n - 1 = 4 - 1 = 3$ となる。遅延素子602, 603, 604は、サンプリングクロックADC_CLKに同期して動作して、入力信号を1クロックの期間保持するフリップフロップである。これにより、比較器601の出力は、遅延素子602, 603, 604により、それぞれサンプリングクロックADC_CLKに同期して1クロックの期間ずつ順次遅延される。

【0069】

比較器601の出力は、乗算器605にも入力される。また、各遅延差素子602, 603, 604の出力は、それぞれ、乗算器606, 607, 608に入力される。明らかなように、遅延差素子602, 603, 604の各出力は、比較器601の出力が、それぞれ、1クロック期間、2クロック期間、3クロック期間遅延されたものである。

【0070】

乗算器605, 606, 607, 608は、入力信号(“1”または“0”)を、それぞれa, b, c, d倍する。乗算器605, 606, 607, 608の出力は加算器609で加算される。明らかなように、乗算器605, 606, 607, 608と加算器609とは、比較器601から出力されるバイナリのデータ系列と予め定められた(a, b, c, d)で表されるPR波形との畳み込み積分を算出する、FIRフィルタ451と等価な理想的なPRシステムを実現する。加算器609の出力は、比較器601から出力されるバイナリのデータ系列に対応した理想的なPR波形を表す。つまり、デコーダユニット460-1内の軟判定ビタビ検出器461-1の出力である軟判定値に対応したバイナリのデータ系列は、PR波形発生器400により、理想的なPR波形に変換される。

【0071】

PR波形発生器400は、当該PR波形発生器400により出力(発生)され

る理想的な P R 波形の信頼性の高低を示す信頼性フラグ F を発生するフラグ発生器 610 を含んでいる。このフラグ発生器 610 は、絶対値変換器 611 と、閾値レジスタ 612 と、比較器 613 と、遅延回路 614 と、AND ゲート 615 とから構成される。

【0072】

デコーダユニット 460-1 内の軟判定ビタビ検出器 461-1 の出力である軟判定値は、上記比較器 601 の他に、フラグ発生器 610 内の絶対値変換器 611 にも入力される。絶対値変換器 611 は、軟判定ビタビ検出器 461-1 から出力される軟判定値を絶対値に変換する。絶対値変換器 611 の出力は、閾値レジスタ 612 の値と共に比較器 613 に入力される。比較器 613 は、絶対値変換器 611 の出力を閾値レジスタ 612 の値と比較する。周知のように、軟判定ビタビ検出器 461-1 の出力は、絶対値が 0 に近いほど信頼性が低い。そこで比較器 613 は、絶対値変換器 611 の出力、即ち軟判定ビタビ検出器 461-1 の出力の絶対値が、閾値レジスタ 612 の値より小さい場合には、当該軟判定ビタビ検出器 461-1 の出力が信頼できないことを示すために、値が “0” の信頼性フラグ F を出力する。これに対し、軟判定ビタビ検出器 461-1 の出力の絶対値が、閾値レジスタ 612 の値より大きいか等しい場合には、比較器 613 は、当該軟判定ビタビ検出器 461-1 の出力が信頼できることを示すために、値が “1” の信頼性フラグ F を出力する。

【0073】

前記したように、P R は (a, b, c, d) であり、拘束長 n は 4 である。この場合、比較器 613 により信頼できないと判定されたビットの影響は、 $n - 1 = 4 - 1 = 3$ クロック後まで及ぶことになる。そこで本実施形態では、比較器 613 により信頼できないと判定された場合、信頼性フラグ F の状態を、遅延回路 614 にて 3 クロックの期間 “0” に保つことで、この期間の P R 波形出力の信頼性が低いことを示すようにしている。そのため、遅延回路 614 は、カスケード接続された 3 つ (n - 1 個) の遅延素子 614a, 614b, 614c から構成される。比較器 613 の出力 (信頼性フラグ F) は遅延回路 614 内の初段の遅延素子 614a に入力される。遅延素子 614a, 614b, 614c は、サ

ンプリングクロックADC_CLKに同期して動作して、入力信号を1クロックの期間保持するフリップフロップである。遅延素子614a, 614b, 614cの各出力は、比較器613の出力が、それぞれ、1クロック期間、2クロック期間、3クロック期間遅延されたものである。

【0074】

遅延素子614a, 614b, 614cの各出力は、比較器613の出力と共に、ANDゲート615に入力される。ANDゲート615は、比較器613の出力と遅延素子614a, 614b, 614cの各出力との論理積を取り、その結果を信頼性フラグFとして出力する。明らかなように、比較器613の出力及び遅延素子614a, 614b, 614cの各出力のうちの少なくとも1つが“0”的場合、即ち現在、1クロック前、2クロック前または3クロック前のいずれかの時点で比較器613によって信頼できないと判定された場合、ANDゲート615の出力である信頼性フラグFは信頼性が低いことを示す“0”となる。これにより、比較器613によって信頼できないと判定された場合、信頼性フラグFは3クロック(n-1クロック)の期間“0”に保たれる。つまりANDゲート615は、比較器613の出力及び遅延素子614a, 614b, 614cの各出力に応じて信頼性フラグFの状態(“1”または“0”)を設定するフラグ設定器として機能する。

【0075】

上記閾値レジスタ612は、例えば、図示せぬ制御用のMPU(マイクロプロセッサユニット)により書き換えが可能なレジスタである。閾値レジスタ612には、MPUが制御用のプログラム(ファームウェア)に従ってリード/ライトIC20を初期化する処理を実行する過程で、所定の値が設定される。明らかなように、閾値レジスタ612に0が設定された場合には、信頼性フラグFは常に1になる。

【0076】

上記したように本実施形態では、PR波形発生器400にフラグ発生器610が含まれている。しかし、フラグ発生器610をPR波形発生器400から独立に設けることも可能である。

【0077】

図7は、初段のデコーダユニット460-1内の軟判定ビタビ検出器461-1の出力である軟判定値（信頼性を示す軟判定出力値）の一例を示す。図7において、X軸は信号サンプル点番号を示し、Y軸は信号サンプル点の軟判定値を示す。軟判定値=0は、+1または-1のどちらと判定しても同じ確率になる点で、信頼性が最も低い。軟判定値は、正または負の絶対値が大きいほど判定結果の信頼性が高くなる。図7は、上記したように初段のデコーダユニット460-1内の軟判定ビタビ検出器461-1の出力例を示しているため、軟判定値（対数尤度比）の低い点が多い。しかし、反復回数が増すに従って、判定結果の信頼性が増して（対数尤度比が大きくなっている）グラフ上の上下に分離されてゆく。デコーダユニット460-2、460-3内の軟判定ビタビ検出器461-2、461-3の出力が、これに該当する。

【0078】

図7において、記号○でプロットされたポイントは、0を閾値として、対数尤度比が正であるか負であるかで硬判定した結果が正しかったポイントを示す。これに対し、記号×でプロットされたポイントは、硬判定した結果が誤りであったポイントを示す。図7から明らかなように、×のポイントは一般に対数尤度比が低い。また、対数尤度比が低いポイントに占める硬判定値が誤りであった×のポイントの割合は、○のポイントの割合に比べて著しく高い。図7の例では、硬判定値が誤りであった×のポイントのうち、対数尤度比が5より低いポイントの占める割合は95%である。したがって、図6の構成のPR波形発生器400に、図7で示した軟判定値を入力する場合には、閾値レジスタ612に値5を設定するならば、正しい判定値を十分に確保しつつ誤った判定の95%を排除することができる。

【0079】

図8は、図1中のオフセット制御器48の構成を示すブロック図である。同図に示すように、オフセット制御器48は、図4に示したAGC制御器47と同様の構成を有している。即ちオフセット制御器48は、図4中の、誤差検出器471及び472とアンプ(G)473及び474とマルチプレクサ(MUX)47

5と積分器476とD/Aコンバータ(DAC)477とにそれぞれ相当する、誤差検出器481及び482とアンプ(G)483及び484とマルチプレクサ(MUX)485と積分器486とD/Aコンバータ(DAC)487とから構成される。但し、誤差検出器482は、AGC制御器47内の誤差検出器472とは異なって、チャネル符号化されたデータの部分から振幅の誤差を検出するのではなく、オフセット値の誤差を検出する。

【0080】

図9は、図8のオフセット制御器48内の誤差検出器482の構成を示すブロック図である。同図に示すように、誤差検出器482は、図6に示した構成のPR波形発生器400と、図5中の遅延回路472aと加算器472bと乗算器472dとにそれぞれ相当する、遅延回路482aと加算器482bと乗算器482dとから構成される。加算器482bは、遅延回路482aにより遅延されたFIRフィルタ451の出力波形の正負を反転した波形と、PR波形発生器400の出力波形とを加算する。乗算器482dは、加算器482bの出力とPR波形発生器400から理想的なPR等化波形と共に出力される信頼性フラグFとの積を計算することで、図5中の乗算器472dと同様に、信頼性の低い誤差検出値が出力されるのを抑止する。

【0081】

オフセット制御器48内の誤差検出器482がAGC制御器47内の誤差検出器472と異なるのは、正負判定器472cを持たない点である。つまり、AGC制御器47内の誤差検出器472では、チャネル符号化されたデータの部分から振幅値の誤差を検出するために、波形の中心値からの振幅量で評価している。これに対し、オフセット制御器48内の誤差検出器482では、チャネル符号化されたデータの部分からオフセット値の誤差を検出するために、波形全体のずれ量を評価している。

【0082】

図10は、図1中のタイミングリカバリ回路49の構成を示すブロック図である。タイミングリカバリ回路49は、VCO(電圧制御発振器)を含むタイミングループ制御回路により実現されている。具体的には、タイミングリカバリ回路

49は、図10に示すように、引き込みモード用位相比較器491と、トラッキングモード用位相比較器492と、マルチプレクサ（MUX）493と、ループフィルタ494と、VCO495とから構成される。

【0083】

引き込みモード用位相比較器491は、A/Dコンバータ44の出力（サンプル値系列）をもとに、プリアンブルパターンからサンプリングされた波形のチャネルクロックに対する位相誤差を検出する。トラッキングモード用位相比較器492は、FIRフィルタ451の出力（PR等化波形）及び初段のデコーダユニット460-1内の軟判定ビタビ検出器461-1の出力（軟判定値）をもとに、チャネル符号化されたデータの部分からサンプリングされた波形のチャネルクロックに対する位相誤差を検出する。

【0084】

マルチプレクサ493は、モード信号Mにより引き込みモードが指定されている場合には、引き込みモード用位相比較器491からの誤差信号を選択し、モード信号Mによりトラッキングモードが指定されている場合には、トラッキングモード用位相比較器492からの誤差信号を選択する。選択された誤差信号（位相誤差）は、ループフィルタ494を介してVCO495に入力され、当該VCO495の周波数と位相を制御するのに用いられる。

【0085】

VCO495は、マルチプレクサ493によって選択された誤差信号、即ち引き込みモード用位相比較器491またはトラッキングモード用位相比較器492によって検出された位相誤差に従って動的に制御される。これによりVCO495は、チャネルクロックに同期した、A/Dコンバータ44のサンプリングクロックADC_CLKを生成する。

【0086】

図11は、図10のタイミングリカバリ回路49内のトラッキングモード用位相比較器492の構成を示すブロック図である。同図に示すように、トラッキングモード用位相比較器492は、図6に示した構成のPR波形発生器400と、図5中の遅延回路472a及び加算器472bにそれぞれ相当する遅延回路49

2 a 及び加算器 4 9 2 b と、波形傾き予測器 4 9 2 c と、乗算器 4 9 2 d とから構成される。

【0087】

遅延回路 4 9 2 a は、F I R フィルタ 4 5 1 の出力を、当該 F I R フィルタ 4 5 1 の出力からデコーダユニット 4 6 0 -1 内の軟判定ビタビ検出器 4 6 1 -1 の出力までの遅延量だけ遅延する。P R 波形発生器 4 0 0 は、既に説明したように、軟判定ビタビ検出器 4 6 1 -1 の出力をもとに理想的な P R 等化波形を生成する。加算器 4 9 2 b は、P R 波形発生器 4 0 0 の出力波形と遅延回路 4 9 2 a の出力波形の正負を反転した波形とを加算する。加算器 4 9 2 b の出力は、理想的な P R 等化波形と実際の P R 等化波形の各々の振幅の比較結果（振幅値の誤差）を表す。トラッキングモード用位相比較器 4 9 2 に入力される、F I R フィルタ 4 5 1 の出力及び軟判定ビタビ検出器 4 6 1 -1 の出力は、A / D コンバータ 4 4 による A / D 変換後のサンプル値系列に対応する。したがって、個々のサンプル値に対応する加算器 4 9 2 b の各出力は、振幅方向の誤差量（振幅誤差）を示す。つまり、トラッキングモード用位相比較器 4 9 2 では、時間（位相）方向のずれ（誤差）を直接検出することはできない。このため、トラッキングモード用位相比較器 4 9 2 では、振幅誤差が得られたサンプル点での波形の傾きを予測し、その予測結果をもとに振幅値の誤差量を位相方向の誤差量に換算している。この傾き予測は、波形傾き予測器 4 9 2 c により行われる。即ち波形傾き予測器 4 9 2 c は、P R 波形発生器 4 0 0 の出力である理想的な P R 等化波形を入力して、カスケード接続された n 個の遅延素子（図示せず）を通すことで、連続する n サンプル点の振幅値を保持する。そして波形傾き予測器 4 9 2 c は、連続する n サンプル点の振幅値と次のサンプル点の振幅値とから、つまり連続する n + 1 サンプル点の振幅値から波形の傾きを予測する。本実施形態において波形傾き予測器 4 9 2 c は、n + 1 サンプル点の振幅値の組み合わせと波形の傾きとの対応関係を登録したテーブル T B L を有している。そこで波形傾き予測器 4 9 2 c は、P R 波形発生器 4 0 0 の出力である理想的な P R 等化波形のサンプル点毎に、そのサンプル点を含む連続する n + 1 サンプル点の振幅値をサンプリングクロック A D C _ C L K に同期して取得して、当該 n + 1 サンプル点の振幅値の組み合わせでテ

ーブルTBLを参照することで、そのサンプル点での波形の傾きの予測値を取得する。乗算器492dは、加算器492bの出力である振幅誤差と、波形傾き予測器492cによりサンプリングクロックADC_CLKに同期して取得されるサンプル点毎の波形の傾きと、PR波形発生器400から理想的なPR等化波形と共に出力される信頼性フラグFとの積を取る。これにより乗算器492dは、チャネル符号化されたデータの部分からサンプリングされた波形のチャネルクロックに対する位相誤差を取得する。また、乗算器492dにて、振幅誤差と波形の傾きと信頼性フラグFとの積を計算することで、信頼性フラグFが“0”の期間、つまりPR波形発生器400に入力される軟判定値の信頼性が低い期間、信頼性の低い誤差検出値が出力されるのが抑止される。

【0088】

図12はTAP係数制御器452の構成を示すブロック図である。TAP係数制御器452は、FIRフィルタ451の等化特性の適応制御のためのフィードバック制御を行う。このフィードバック制御は、A/Dコンバータ44の出力、FIRフィルタ451の出力、及び軟判定ビタビ検出器461-1の出力を用いて、FIRフィルタ451のTAP（タップ）係数を更新することで実現される。ここでは、説明の便宜上、FIRフィルタ451のタップ数が12であるものとする。FIRフィルタ451に対するTAP係数制御器452によるフィードバック制御では、前記したAGC制御器47、オフセット制御器48及びタイミングリカバリ回路49によるフィードバック制御と異なり、プリアンブルパターンによる高速引き込みは行われない。その理由は、プリアンブルパターンのような単調パターンを用いたのでは、TAP係数制御が収束しないばかりでなく、正しくない値へとドリフトを起こしてしまう虞があるためである。

【0089】

TAP係数制御器452は、誤差検出器453と、係数更新器454とから構成される。誤差検出器453は、TAP係数の誤差を検出する。係数更新器454は、誤差検出器453により検出されたTAP係数の誤差をもとに、LMS（最小平均二乗法）アルゴリズムと呼ばれる係数更新アルゴリズムに従って、FIRフィルタ451のTAP係数を更新する。

【0090】

図13は、図12のTAP係数制御器452内の誤差検出器453の構成を示すブロック図である。同図に示すように、誤差検出器453は、図6に示した構成のPR波形発生器400と、図9中の、遅延回路482aと加算器482bと乗算器482dとにそれぞれ相当する、遅延回路453aと加算器453bと乗算器453dとを含む。誤差検出器453はまた、遅延回路455と、カスケード接続された11個の遅延素子456-1～456-11と、乗算器457-0～457-11とを含む。遅延素子456-1～456-11は、例えばサンプリングクロックADC_CLKに同期して動作するフリップフロップである。

【0091】

遅延回路453aは、FIRフィルタ451の出力を、当該FIRフィルタ451の出力から軟判定ビタビ検出器461-1の出力までの遅延量だけ遅延する。PR波形発生器400は、軟判定ビタビ検出器461-1の出力をもとに理想的なPR等化波形を生成する。加算器453bは、PR波形発生器400の出力波形と遅延回路453aの出力波形の正負を反転した波形とを加算する。加算器453bの出力は、理想的なPR等化波形と実際のPR等化波形の各々の振幅の比較結果、即ち振幅値の誤差を表す。乗算器453dは、加算器452bの出力（誤差）とPR波形発生器400から理想的なPR等化波形と共に出力される信頼性フラグFとの積を計算することで、信頼性の低い誤差検出値が出力されるのを抑制する。

【0092】

一方、A/Dコンバータ44の出力は遅延回路455により、当該A/Dコンバータ44の出力から軟判定ビタビ検出器461-1の出力までの遅延量だけ遅延される。これにより、遅延回路455により遅延されたA/Dコンバータ44の出力（サンプル値系列）の遅延量が、PR波形発生器400により生成される理想的なPR等化波形の遅延量に合わせられる。遅延回路455の出力は、11段の遅延素子456-1～456-11によりサンプリングクロックADC_CLKに同期して順次遅延される。乗算器457-0は遅延回路455の出力 $x0k$ と乗算器453dの出力 ek との積 $g0k$ を算出する。乗算器457-1～457-11は、

それぞれ、遅延素子456-1～456-11の出力 $x_{1k} \sim x_{11k}$ と乗算器453dの出力 e_k との積 $g_{1k} \sim g_{11k}$ を算出する。これら $g_{0k} \sim g_{11k}$ は、各TAP係数の誤差を表す。そこで、図12中の係数更新器454は、これらの誤差 g_x ($g_{0k} \sim g_{11k}$)をもとに、FIRフィルタ451のTAP係数 C_x ($C_0 \sim C_{11}$)を更新する。

【0093】

以上に述べたように本実施形態においては、AGC制御器47、オフセット制御器48、タイミングリカバリ回路49及びTAP係数制御器452に、それぞれPR波形発生器400が設けられる。PR波形発生器400は、反復デコーダ46内の初段のデコーダユニット460-1に設けられた軟判定ビタビ検出器461-1の出力をもとに、理想的なPR波形を生成する。AGC制御器47、オフセット制御器48、タイミングリカバリ回路49及びTAP係数制御器452は、それぞれPR波形発生器400を用いて、VGA41のゲイン、オフセット補正器43でのオフセット補正、A/Dコンバータ44で用いられるサンプリングクロックADC_CLKのタイミングリカバリ、及びFIRフィルタ451の適応制御のためのフィードバック制御を行う。このように本実施形態によれば、上記のフィードバック制御に、反復デコーダ46内のデコーダユニット460-1～460-3のうち、遅延量の少ない初段のデコーダユニット460-1内の軟判定ビタビ検出器461-1の出力を利用している。これにより、バイナリデータ（硬判定値）出力までの遅延量が極めて大きい、反復復号を用いたHDDのリードチャネル40（信号処理デバイス）においても、フィードバックループの遅延量の増加を、バイナリデータ出力までの遅延量よりはるかに少ない対数尤度比の計算遅延に抑え、フィードバックループ遅延の大幅な増加を避けることができる。

【0094】

また本実施形態によれば、反復復号を用いたHDDのリードチャネル40においても、つまり反復デコーダ46内の軟判定ビタビ検出器461-1に入力される信号のS/Nが低いHDDのリードチャネル40においても、PR波形発生器400により誤差検出のための参照用の波形データと共に当該波形データの信頼性を表す情報である信頼性フラグFを生成して、当該信頼性フラグFに応じて誤差

信号の出力を制御することにより、誤差量の誤検出を抑制し、十分なフィードバックループゲインを得ることができる。

【0095】

また、軟判定ビタビ検出器461-1の出力を、僅かな回路、即ち図6中の比較器601、絶対値変換器611、閾値レジスタ612、比較器613、遅延回路614及びANDゲート615の追加で、フィードバック制御に利用できる。

【0096】

以上、上記実施形態では、反復デコーダ46内で生成される軟判定値をもとにPR波形発生器400にて生成される応答波形を参照用波形として用いることにより、VGA41のゲイン、オフセット補正器43でのオフセット補正、A/Dコンバータ44で用いられるサンプリングクロックADC_CLKのタイミングリカバリ、及びFIRフィルタ451の適応制御のためのフィードバック制御を行う場合について説明した。ところで、PRML方式のデジタル信号処理系においてフィードバック制御を行うには、期待される信号振幅値と実際の再生信号の離散時間サンプルの振幅値とを比較して、その差を制御対象の誤差量に換算すればよい。よって、この誤差量を用いたフィードバック制御であれば、上述のゲイン、オフセット、タイミングリカバリ及びFIRフィルタ451の適応制御のためのフィードバック制御以外にも適用可能である。例えば、非線形歪による信号波形の上下非対称性を補正する場合のフィードバック制御にも、上記実施形態で適用されたPR波形発生器400により生成される波形を参照波形として使用することが可能である。

【0097】

また、上記実施形態においては、本発明を磁気ディスク装置(HDD)に適用した。しかし本発明は、光磁気ディスク装置、光ディスクなど、記録媒体にディスク媒体が用いられるディスク記憶装置全般に適用できる。

【0098】

なお、本発明は、上記実施形態及びその変形例に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態及びその変形例には種々の段階の発明が含まれており、開示され

る複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0099】

【発明の効果】

以上詳述したように本発明によれば、反復復号を用いたディスク記憶装置の信号処理デバイス内の、最終段以外のデコーダユニットに含まれる軟判定ビタビ検出器の出力、即ち反復前または反復途中のビタビ出力をもとに参照用の再生波形データを生成すると共に、当該再生波形データの信頼性の高低を示すフラグを生成し、参照用の再生波形データをもとに算出されるフィードバック制御に必要な誤差量の出力を、当該フラグの状態に応じて制御する構成とした。これにより、エラーの頻度は高いものの遅延量が少ない、最終段以外のデコーダユニット内の軟判定ビタビ検出器の出力をもとに参照用の再生波形データを生成しながら、誤差量の誤検出を抑制して、十分なフィードバックループゲインを得ることができる。

【図面の簡単な説明】

【図1】

本発明の一実施形態に係る磁気ディスク装置の構成を示すブロック図。

【図2】

ディスク11に記録されるセクタデータのフォーマットの概略を示す図。

【図3】

プリアンブル111の一例を示す図。

【図4】

AGC制御器47の構成を示すブロック図。

【図5】

AGC制御器47内の誤差検出器472の構成を示すブロック図。

【図6】

P R 波形発生器400の構成を示すブロック図。

【図7】

軟判定ビタビ検出器461-1の出力である軟判定値の一例を多数の信号サンプル点について示す図。

【図8】

オフセット制御器48の構成を示すブロック図。

【図9】

オフセット制御器48内の誤差検出器482の構成を示すブロック図。

【図10】

タイミングリカバリ回路49の構成を示すブロック図。

【図11】

タイミングリカバリ回路49内のトラッキングモード用位相比較器492の構成を示すブロック図。

【図12】

TAP係数制御器452の構成を示すブロック図。

【図13】

TAP係数制御器452内の誤差検出器453の構成を示すブロック図。

【符号の説明】

1 1 …ディスク

1 2 …ヘッド

1 4 …ヘッド I C

2 0 …リード／ライト I C (信号処理デバイス)

4 0 …リードチャネル

4 1 …VGA

4 2 …アナログフィルタ

4 3 …オフセット補正器

4 4 …A／Dコンバータ

4 5 …適応等化器

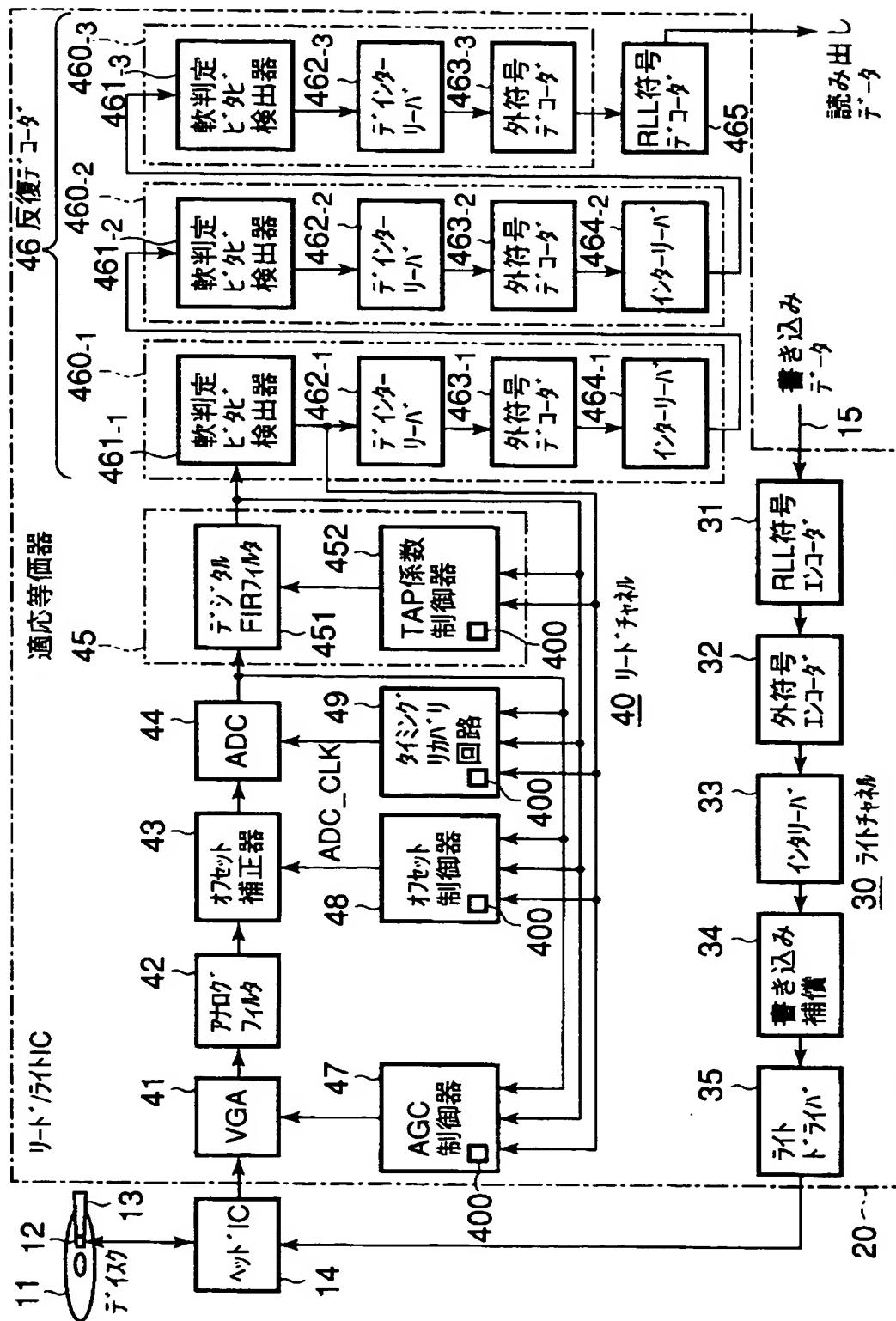
4 6 …反復デコーダ

4 7 … A G C 制御器
4 8 … オフセット制御器
4 9 … タイミングリカバリ回路
4 0 0 … P R 波形発生器
4 5 1 … F I R フィルタ
4 5 2 … T A P 係数制御器
4 5 3, 4 7 2, 4 8 2 … 誤差検出器
4 5 3 a, 4 7 2 a, 4 8 2 a, 4 9 2 a … 遅延回路
4 5 3 b, 4 7 2 b, 4 8 2 b, 4 9 2 b … 加算器（誤差量算出器）
4 5 3 d, 4 7 2 d, 4 8 2 d, 4 9 2 d … 乗算器（誤差量出力制御器）
4 6 0-1～4 6 0-3…デコーダユニット
4 6 1-1～4 6 1-3…軟判定ビタビ検出器
4 6 3-1～4 6 3-3…外符号デコーダ
4 6 5 … R L L 符号デコーダ
4 7 2 c … 正負判定器
4 9 2 … トランシーバモード用位相比較器
6 0 1 … 比較器（硬判定器）
6 1 0 … フラグ発生器
6 1 1 … 絶対値変換器
6 1 2 … 閾値レジスタ
6 1 3 … 比較器
6 1 4 … 遅延回路
6 1 4 a～6 1 4 c … 遅延素子
6 1 5 … A N D ゲート（フラグ設定器）

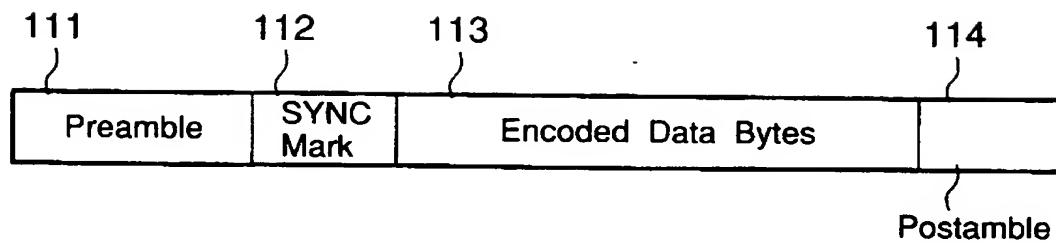
【書類名】

図面

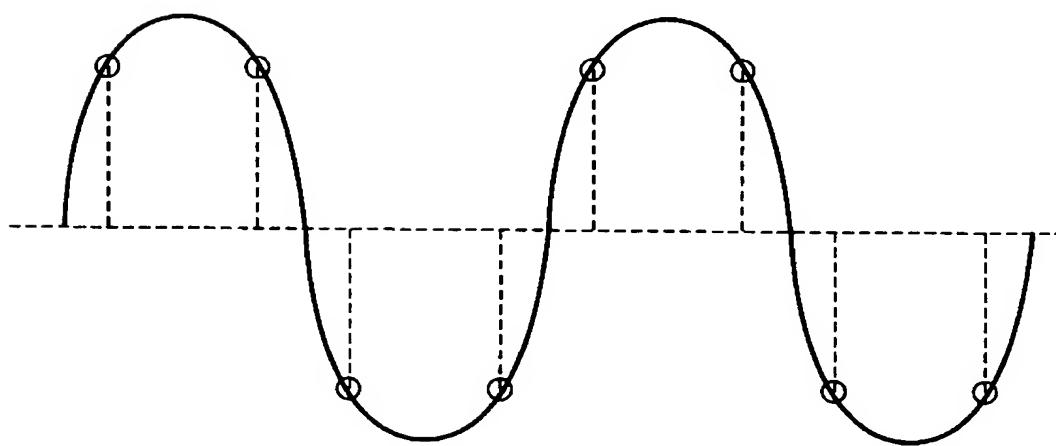
【図1】



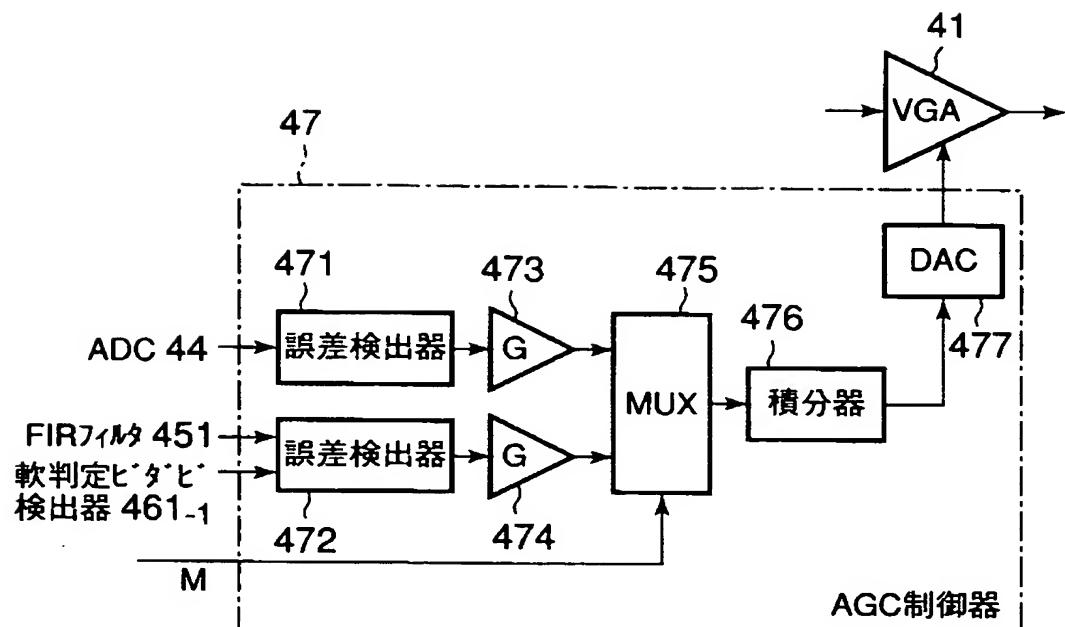
【図2】



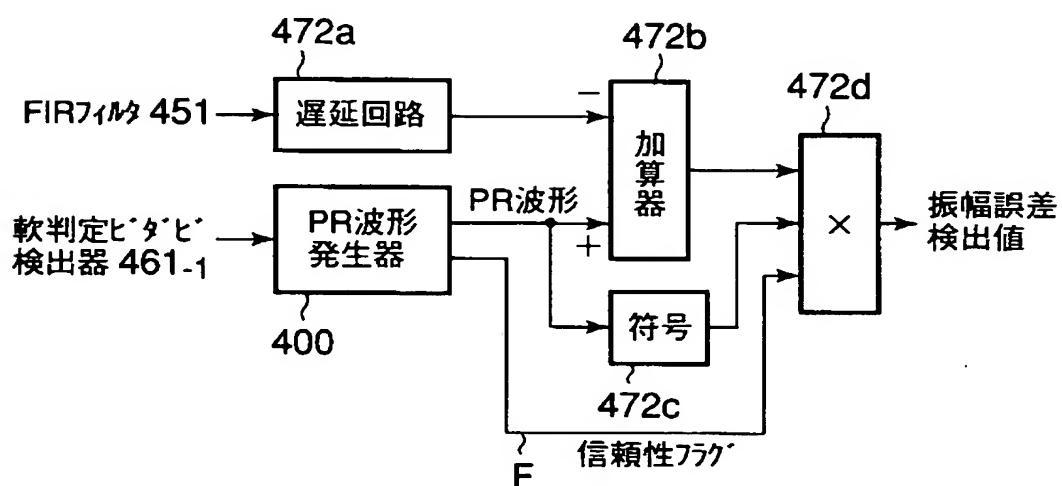
【図3】



【図4】

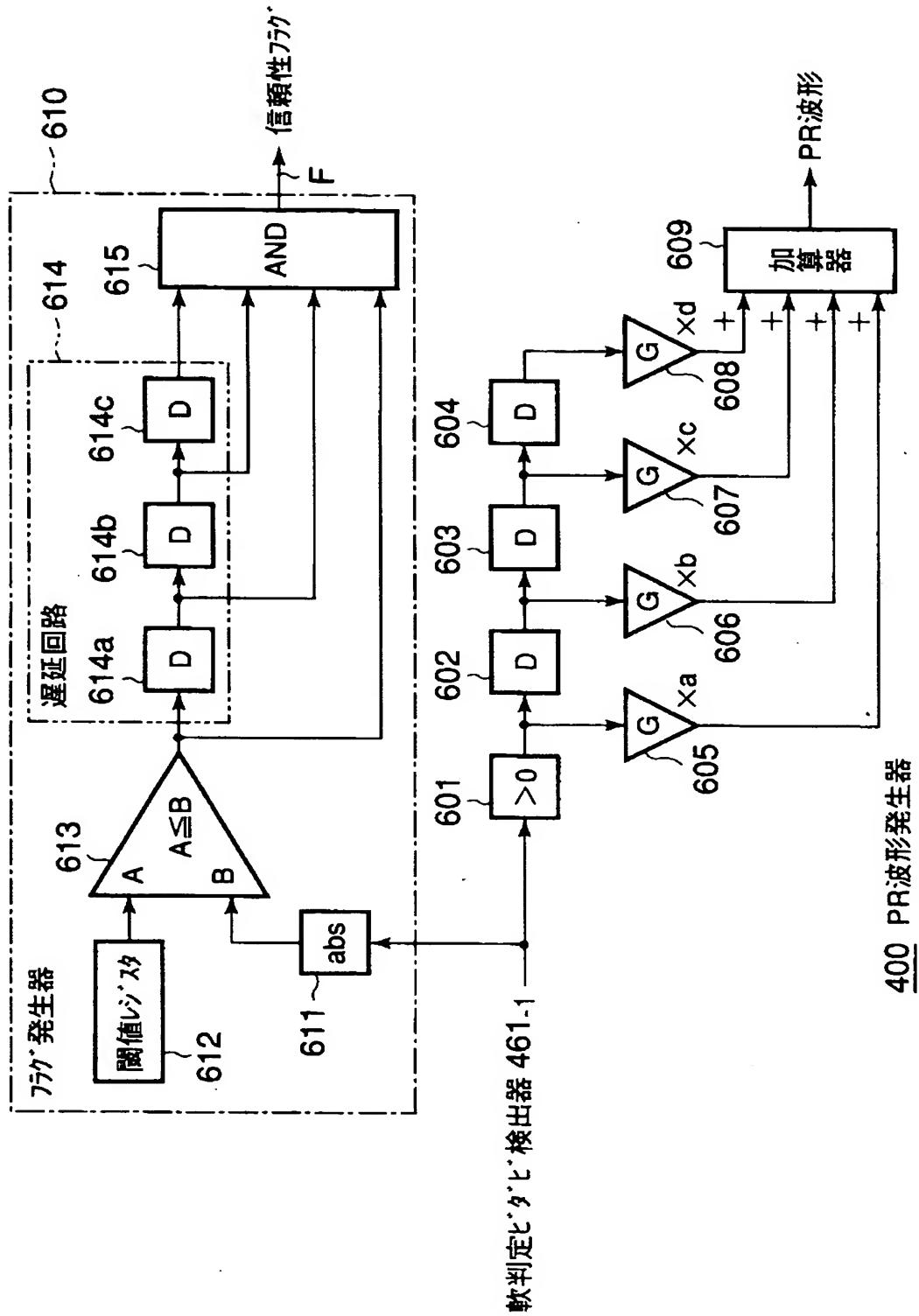


【図5】

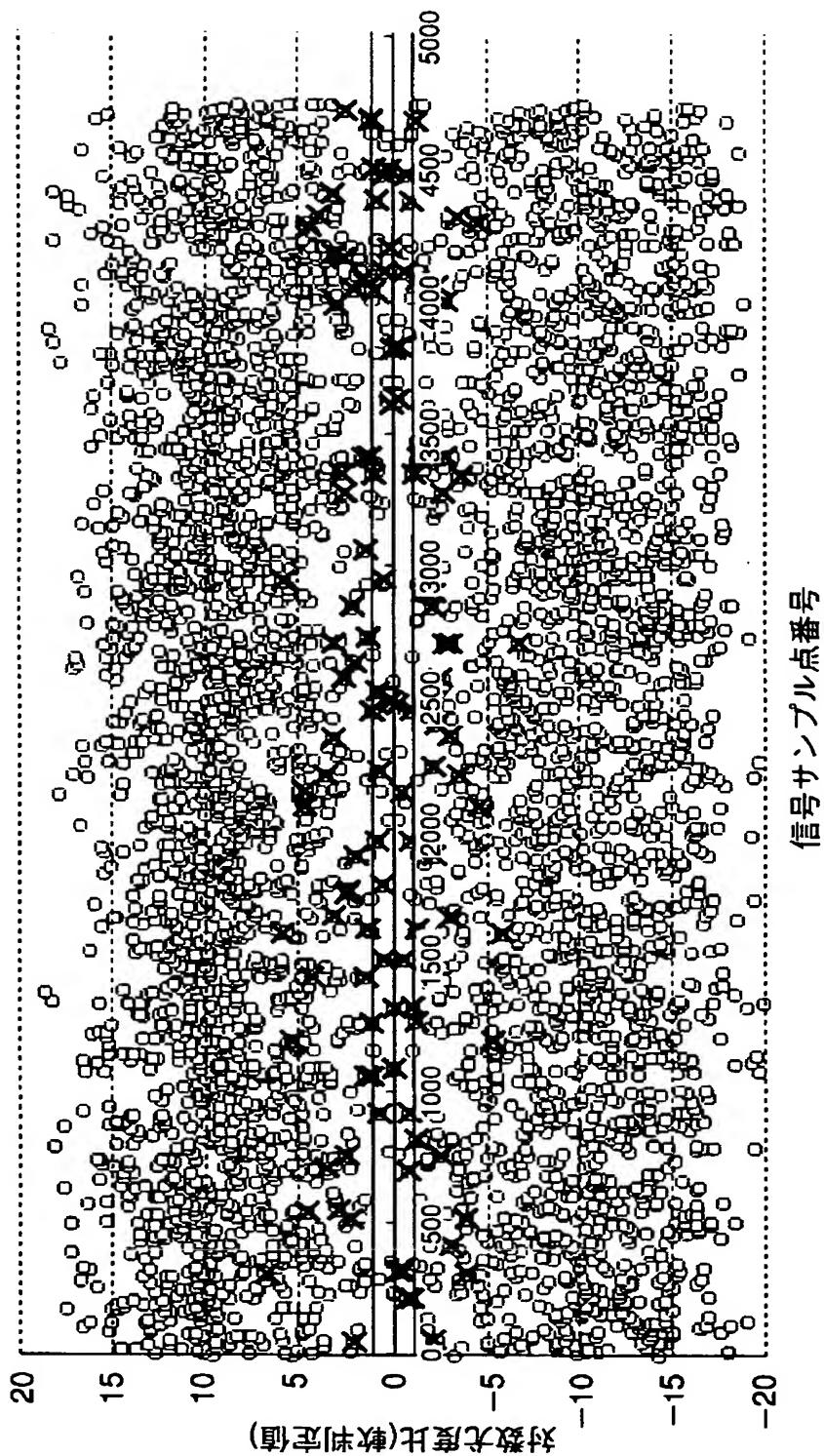


472 誤差検出器

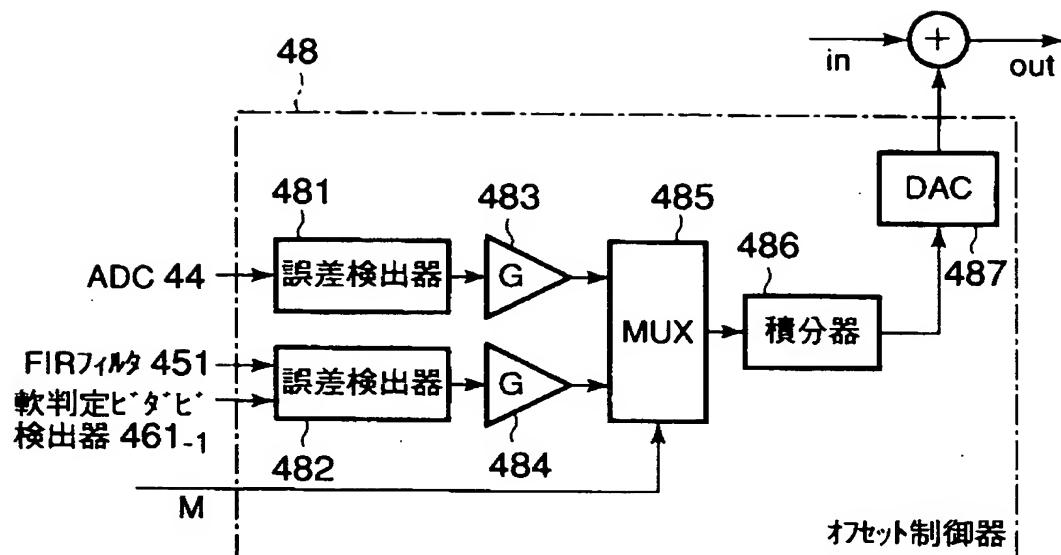
【図6】



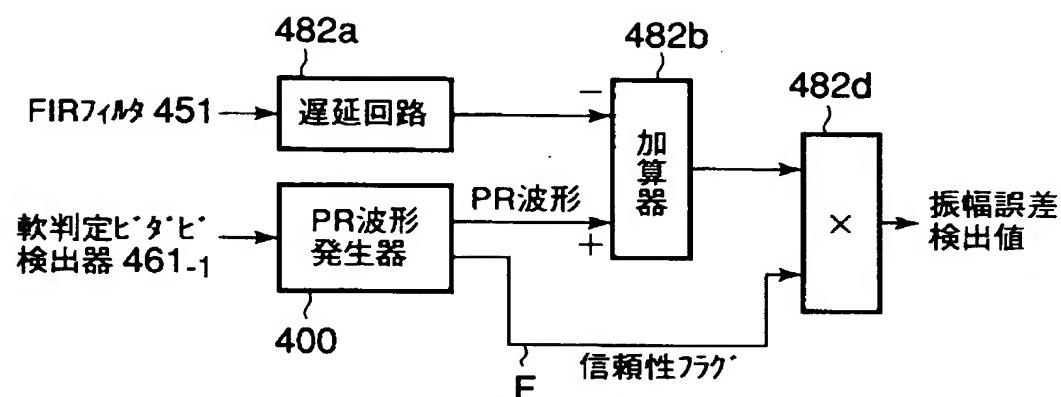
【図7】



【図8】

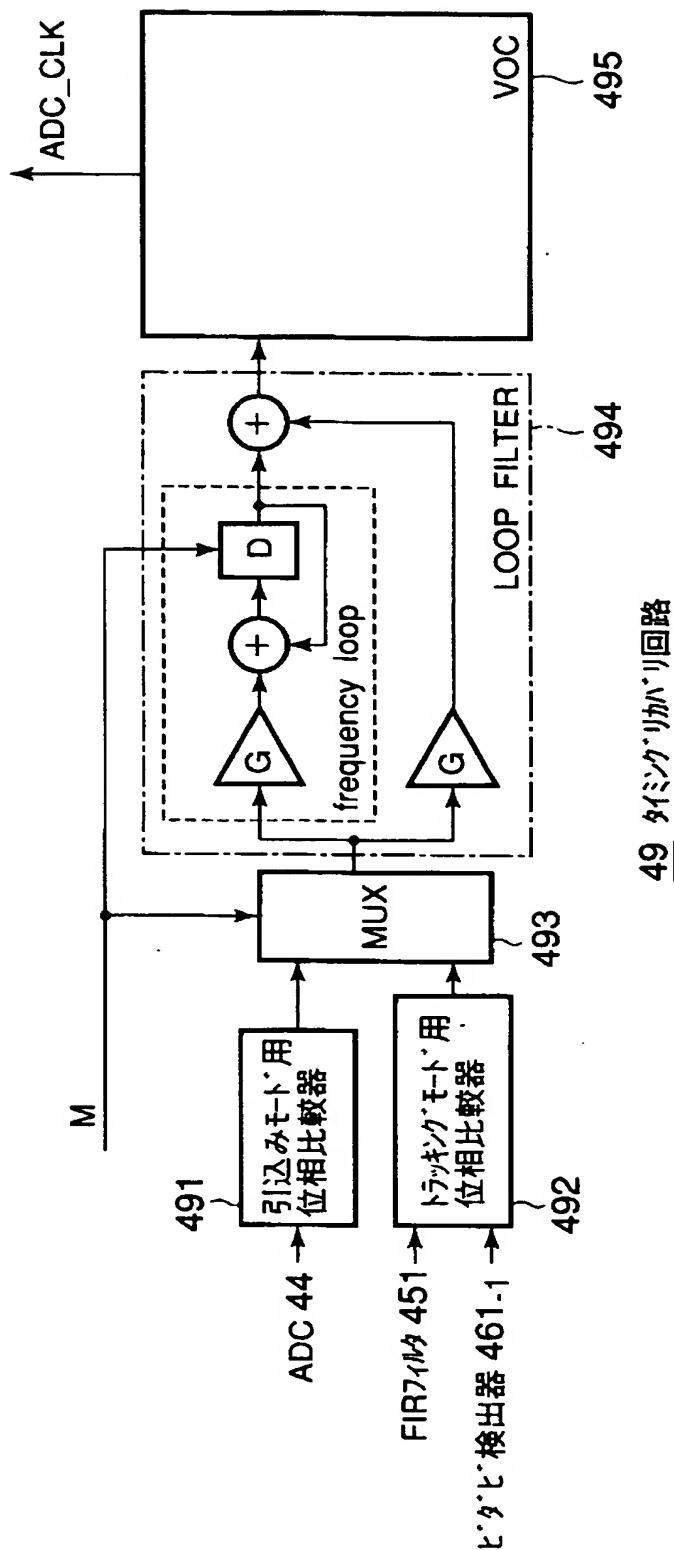


【図9】

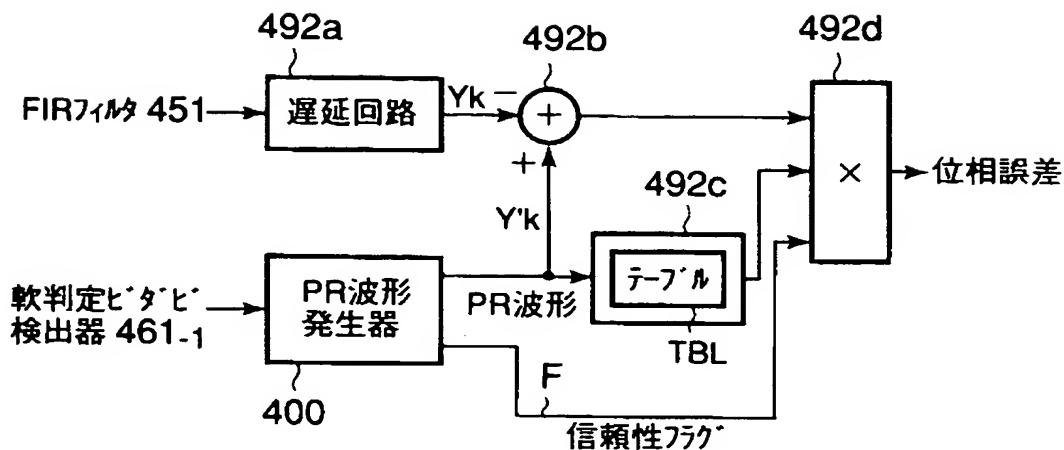


482 誤差検出器

【図10】



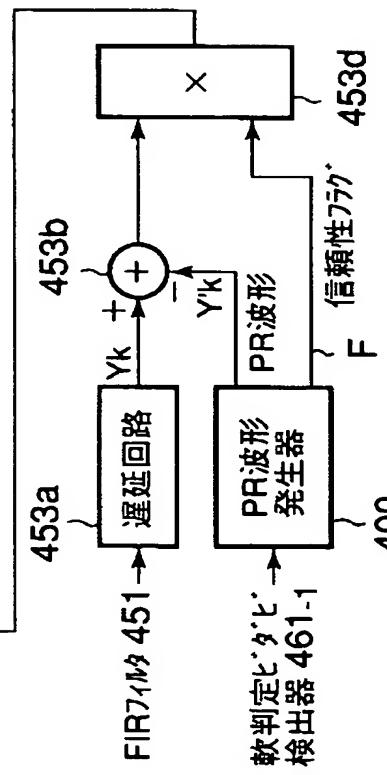
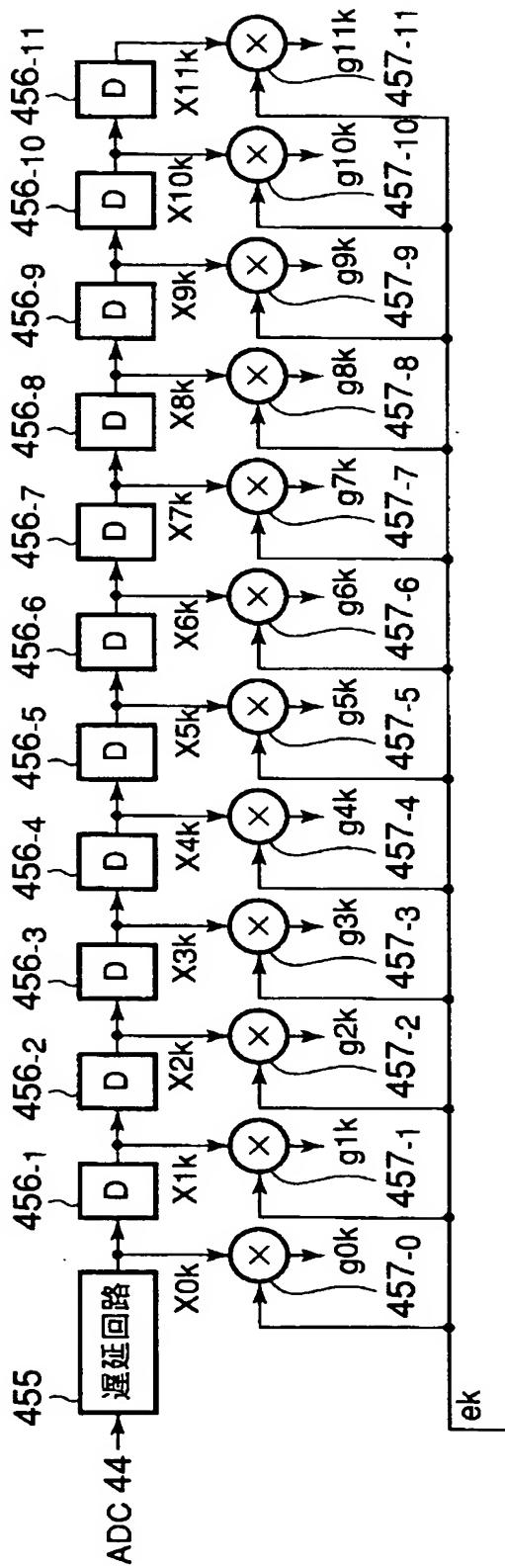
【図11】

492 トラッキングモード用位相比較器

【図12】

452 TAP係数制御器

[図 13]



誤差検出器

【書類名】 要約書

【要約】

【課題】 フィードバック遅延を抑えると共に、誤差量の誤検出を抑制して、十分なフィードバックループゲインを得ることができるようとする。

【解決手段】 P R 波形発生器 4 0 0 は、反復デコーダに含まれる複数のデコーダユニットのうち、最終段以外の所定のデコーダユニット、例えば初段のデコーダユニットに含まれている軟判定ビタビ検出器の出力をもとに、期待される P R 波形及び当該 P R 波形の信頼性の高低を示す信頼性フラグ F を発生する。加算器 4 7 2 b は、上記期待される P R 波形を参照用波形として、制御対象のフィードバック制御に必要な、P R 等化後の波形の誤差量を算出する。乗算器 4 7 2 d は、少なくとも加算器 4 7 2 b の出力に信頼性フラグ F の状態を乗じることにより、誤差量の出力を当該フラグ F の状態に応じて制御する。

【選択図】 図 5

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝